

AM

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

010811794 **Image available**

WPI Acc No: 1996-308747/199631

Related WPI Acc No: 1995-120127; 1996-404993; 1997-408519; 2000-430228;

2000-450952; 2003-066240; 2003-331433

XRAM Acc No: C96-098577

XRPX Acc No: N96-259506

Thin film transistor fabrication for use in active liq. crystal display - involves crystallising amorphous silicon@ film by thermal annealing in contact with catalyst and light irradiation

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); HANDOTAI ENERGY KENKYUSHO KK (SEME)

Inventor: OHNUMA H; TAKEMURA Y; ZHANG H

Number of Countries: 004 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 5529937	A	19960625	US 94277746	A	19940720	199631 B
TW 357415	A	19990501	TW 94106643	A	19940720	199937
TW 369686	A	19990911	TW 96109758	A	19940720	200035
CN 1254940	A	20000531	CN 94116165	A	19940724	200045
			CN 99121306	A	19940724	
KR 171436	B1	19990330	KR 9418622	A	19940727	200045
CN 1151085	A	19970604	CN 94116165	A	19940727	200131
			CN 96110920	A	19940727	

Priority Applications (No Type Date): JP 93208996 A 19930730; JP 93204774 A 19930727

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
US 5529937	A	24	H01L-021/322	
TW 357415	A		H01L-021/328	
TW 369686	A		H01L-021/328	
CN 1254940	A		H01L-021/00	Div ex application CN 94116165
KR 171436	B1		H01L-021/334	
CN 1151085	A		H01L-021/00	Div ex application CN 94116165

Abstract (Basic): US 5529937 A

A semiconductor device is fabricated by: (a) forming a non-monocrystal Si film above a substrate; (b) forming a catalyst element to promote crystallisation of Si in contact with it; (c) crystallising the non-monocrystal Si film by thermal annealing, with amorphous areas left between crystals formed in the Si film; and (d) increasing the crystallinity of the thermally annealed Si film by light irradiating to crystallise the remaining amorphous areas.

Also claimed are seven other methods of fabrication.

USE - For a thin film IC for an active LCD.

ADVANTAGE - Good crystallisation is obtd. at lower heating temps., so that the effect on a glass substrate is reduced. The catalytic metal element can be reduced or removed easily. The TFT characteristics are enhanced because the crystallinity is improved, and reliability is

enhanced.

Dwg. 1b,c/9

Title Terms: THIN; FILM; TRANSISTOR; FABRICATE; ACTIVE; LIQUID; CRYSTAL;
DISPLAY; CRYSTAL; AMORPHOUS; SILICON; FILM; THERMAL; ANNEAL;
CONTACT; CATALYST; LIGHT; IRRADIATE

Derwent Class: L03; U11; U12; U14

International Patent Class (Main): H01L-021/00; H01L-021/322; H01L-021/328;
H01L-021/334

International Patent Class (Additional): H01L-021/20; H01L-021/26;
H01L-021/324; H01L-021/84

File Segment: CPI; EPI

添付 4

특 1995-0004453

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/334	(11) 공개번호 (43) 공개일자	특 1995-0004453 1995년 02월 18일
(21) 출원번호	특 1994-0018622	
(22) 출원일자	1994년 07월 27일	
(30) 우선권주장	93-204774 1993년 07월 27일 일본(JP) 93-208996 1993년 07월 30일 일본(JP)	
(71) 출원인	가부시키 가이샤 한도따이 에네르기 겐꾸쇼	아마자끼 순베이
(72) 발명자	일본 가나가와켄 아즈기시 하세 398 장 홍용 일본 가나가와켄 아마또시 후카미다이 1-10-15 파레수 미야가미 302 오누마 히데토 일본 가나가와켄 아즈기시 하세 304-1 플렛 에스미엘 306 다케무라 야쓰히코 일본 가나가와켄 아즈기시 하세 931-1 플렛 아즈기 208	
(74) 대리인	이병호, 최달용	

심사청구 : 없음

(54) 반도체 장치 및 그의 제조 방법

요약

어닐링으로 결정화된 실리콘막 상으로 패턴이 이동된 뒤에, 실리콘 막은 짧은 기간동안의 적외선 조사로 어닐링된다. 특히, 어닐링에 의한 결정화 공정에서 니켈과 같은 결정화 촉진 원소가 그 안에 도핑된다. 어닐링에 의해 결정화되지 않은 영역도 강력한 광의 조사에 의해 결정화되어 응축된 실리콘 막이 형성된다.

결정화를 촉진시키는 금속 원소가 도핑된 뒤에, 할로겐 화합물을 함유한 분위기에서 어닐링에 의해 결정화된 실리콘 막에 강한 광을 방사하므로써 단기간의 광에 의한 어닐링이 이루어진다. 실리콘 막의 표면이 할로겐화된 분위기에서 강한 광의 방사나 가열에 의해 산화되고 실리콘막위에 산화막이 형성된 후에, 산화막이 에칭된다. 그 결과 실리콘 막내의 니켈이 제거된다.

도표도

도 1

명세서

[발명의 명칭]

반도체 장치 및 그의 제조 방법

[도면의 간단한 설명]

제 1A도 내지 제 1E도는 실시예 1 및 2에 따른 TFT의 제조 공정도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1. 기판상에 비 단결정 실리콘 막을 형성하는 단계와; 서열 어닐링으로 비 단결정 실리콘 막을 결정하는 단계와; 아일랜드 형상의 비 단결정 실리콘 막 패턴을 형성하게 단계와; 가시광선과 인접 방사선 사이의 광을 조사하여 비 단결정 실리콘 막의 패턴의 결정화를 촉진시키는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 2. 제 1항에 있어서, 상기 비 단결정 실리콘 막에는 결정화를 촉진시키는 금속 원소가 함유되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 3. 제 1항에 있어서, 서열 어닐링 또는 패턴 형성후에 아일랜드 형상의 비 단결정 실리콘 막의 패턴위에 상층 단계에 사용되는 광을 전달하는 절연막을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 4. 제3항에 있어서, 상기 절연막은 질화 실리콘 또는 산화 실리콘으로 만들어지는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 5. 제1항에 있어서, 상기 광은 $4\mu\text{m}$ 내지 $0.5\mu\text{m}$ 의 파장을 갖는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 6. 제5항에 있어서, 상기 광의 조사는 10 내지 1000초 동안 이어지는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 7. 기판상에 비 단결정 실리콘 막을 형성하는 단계와; 실리콘 막의 결정화를 촉진하는 금속 원소를 비 단결정 실리콘 막에 선택적으로 도핑하는 단계와; 금속 원소가 선택적으로 도핑된 영역의 주변부에서 실리콘 막을 서멀 어닐링하여 결정화시키는 단계와; 결정화 단계후에 실리콘 막에 가시광선과 근 적외선 사이의 광 또는 광을 조사하여 결정화를 촉진시키는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 8. 제7항에 있어서, 200 내지 450°C 의 온도로 수소를 함유한 분위기에서 실리콘 막을 서멀 어닐링하여 실리콘 막내의 실리콘의 불포화 결합을 중화시키는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 9. 제7항에 있어서, 근 적외선과 가시광선 사이의 광은 $4\mu\text{m}$ 내지 $0.5\mu\text{m}$ 의 파장을 갖는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 10. 제9항에 있어서, 근 적외선과 가시광선 사이 광의 조사는 10 내지 1000초 동안 이어지는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 11. 기판상에 비결정질 실리콘 막을 형성하는 단계와; 상기 비결정질 실리콘 막 내로 실리콘 막의 결정화를 촉진시키는 금속 원소를 유입시키는 단계와; 서멀 어닐링으로 비결정질 실리콘 막을 결정화하는 단계와; 클로라이드 또는 플루오라이드 가스를 함유한 분위기에서 상기 결정화된 실리콘 막에 광을 조사하여 실리콘 막 내의 금속 원소의 밀도를 감소시키는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 12. 제11항에 있어서, 상기 금속 원소는 니켈인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 13. 제11항에 있어서, 상기 실리콘 막을 수소를 함유한 분위기와 200 내지 450°C 의 온도에서 서멀 어닐링하여 실리콘 막내의 실리콘의 불포화 결합을 중화시키는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 14. 제11항에 있어서, 상기 밀도 감소 단계에서는, 마이크로웨이브 또는 고주파에 의해 대기 분위기에서 플라즈마 여기가 이루어지는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 15. 제11항에 있어서, 상기 광은 레이저 광 또는 이에 상응하는 광인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 16. 기판상에 비 단결정 실리콘 막을 형성하는 단계와; 실리콘 막의 결정화를 촉진하는 금속 원소를 상기 비단결정 실리콘 막에 선택적으로 도핑하는 단계와; 금속 원소가 선택적으로 도핑된 영역의 주변부에서 비 단결정 실리콘 막을 서멀 어닐링 결정화시키는 단계와; 금속 원소가 선택적으로 도핑된 영역에서 비 단결정 실리콘 막을 선택적으로 제거하는 단계와; 클로라이드 또는 플루오라이드 가스를 함유한 분위기에서 실리콘 막에 광을 조사하여 실리콘 막 내의 금속 원소를 감소시키면서 실리콘 막의 결정화를 촉진하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 17. 제16항에 있어서, 상기 광은 레이저 광 또는 이에 상응하는 광인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 18. 기판상에 비결정질 실리콘 막을 형성하는 단계와; 실리콘의 결정화를 촉진시키는 금속 원소를 상기 비결정질 실리콘 막 내로 유입하는 단계와; 서멀 어닐링으로 상기 비결정질 실리콘 막을 결정화시키는 단계와; 염화가스 또는 플루오로화 가스가 함유된 산화 분위기에서 결정화된 실리콘 막의 표면에 산소막을 형성하는 단계와; 산소막을 에칭하는 금속 원소를 환원시키는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 19. 제18항에 있어서, 산소막의 형성을 클로라이드 또는 플루오라이드 가스를 함유한 산화 분위기에서 마이크로웨이브 또는 고주파로 여기되는 플라즈마 여기에 의해 수행되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 20. 제18항에 있어서, 산소막의 형성을 클로라이드 또는 플루오라이드 가스를 함유한 산화 분위기에서 실리콘 막에 레이저 광 또는 이에 상응하는 광을 조사하여 수행되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 21. 기판상에 비 단결정질 실리콘 막을 형성하는 단계와; 서멀 어닐링으로 비 단결정질 실리콘 막을 결정화하는 단계와; 결정화된 실리콘 막에 광을 조사하는 단계를 포함하며; 상기 결정화된 실리콘 막은 조사단계에서, 제1기간에서 200 내지 500°C 의 온도로, 제2기간에서 200 내지 500°C 의 온도로, 제3기간에서 200 내지 500°C 의 온도로 유지되는 것을 특징으로 하는 반도체 장치 제조 방법.

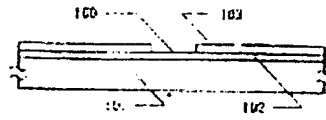
청구항 22. 기판상에 촉매 원소를 함유한 비 단결정질 실리콘막을 형성하는 단계와; 서멀 어닐링으로 비 단결정질 실리콘 막을 결정화시키는 단계와; 아일렌드 형태의 비 단결정질 실리콘 막의 패턴을 형성하는 단계와; 광을 조사하여 비 단결정질 실리콘 막의 결정화를 촉진시키는 단계와; 패턴상에 게이트 전극을 형성하는 단계와; 게이트 전극을 마스크로 하여 패턴 내로 불순물을 유입하는 단계와; 불순물을 가열하여 활성화시키는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

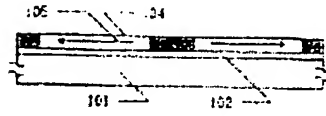
도면

도면1

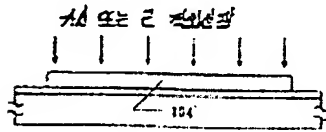
(A)



(B)

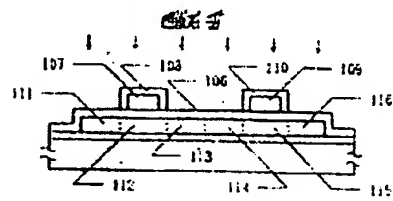


(C)



(C)

(D)



(E)

